

**VOLTAGE CONTROLLED OSCILLATOR**

Patent Number: JP2001320235  
Publication date: 2001-11-16  
Inventor(s): YASUNAGA TAKESHI  
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD  
Requested Patent: ☐ [JP2001320235](#)  
Application Number: JP20000136043 20000509  
Priority Number(s):  
IPC Classification: H03B5/12  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a voltage controlled oscillator of high frequency band, which is suitable to be integrated and can obtain an oscillation frequency band over a wide continuous range.  
**SOLUTION:** In this oscillator, a resonator is composed of an inductor 2 and variable capacity diodes 3-7 connected in parallel to the inductor 2 and the resonator is excited with an active element circuit 1. When the capacity values of the variable capacity diodes 4-7 at ON time are respectively defined as 2C, 2C, 4C and 8C and capacity values at OFF time are respectively defined as 1C, 1C, 2C and 4C, by controlling the variable capacity diodes 4-7 with control signals b0-b3 of four bits, a total capacity value Ct of variable capacity diodes is changed from 8C to 16C through 1C steps. An oscillation frequency can be changed almost at equal intervals step by step and the oscillation frequency band can be provided over the wide range. Since Ct can be reduced, it is suitable for voltage controlled oscillation of high frequency band.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001--320235

(P2001-320235A)

(43) 公開日 平成13年11月16日 (2001.11.16)

(51) Int.Cl.<sup>7</sup>

識別記号

F 1

テ-マ-ト (参考)

H 0 3 B 5/12

H 0 3 B 5/12

G 5 J 0 8 1

審査請求 未請求 請求項の数 7 ○ L (全 10 頁)

(21) 出願番号 特願2000-136043 (P2000-136043)

(22) 出願日 平成12年 5 月 9 日 (2000.5.9)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 安永 毅

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(74) 代理人 100099254

弁理士 役 昌明 (外 3 名)

Fターム (参考) 5J081 AA02 BB01 CC07 CC22 DD11

EE02 EE03 EE18 FF25 KK02

KK09 KK22 KK23 LL01 LL08

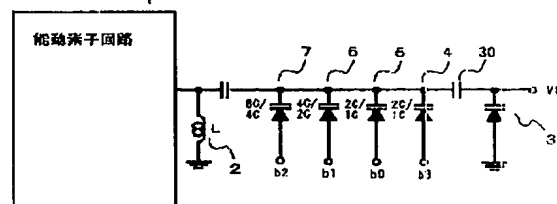
MM01

(54) 【発明の名称】 電圧制御発振器

(57) 【要約】

【課題】 連続した広い範囲の発振周波数帯域を得ることができる集積化に適した高周波帯の電圧制御発振器を提供する。

【解決手段】 インダクタ2と、インダクタ2に並列接続された可変容量ダイオード3～7で共振器を構成し、能動素子回路1で励振して電圧制御発振器とする。可変容量ダイオード4～7のオン時の容量値を、それぞれ2C、2C、4C、8Cとする。オフ時の容量値を、それぞれ1C、1C、2C、4Cとする。可変容量ダイオード4～7を、4ビットの制御信号b0～b3によって制御することにより、可変容量ダイオードの総容量値C1を8C～16Cまで、1Cステップで変える。発振周波数をほぼ等間隔に段階的に変化させることができ、広い範囲の発振周波数帯域が得られる。C1を小さくできるので高周波帯の電圧制御発振器に好適である。



## 【特許請求の範囲】

【請求項1】 インダクタと、前記インダクタに並列接続された可変容量ブロックと、前記インダクタと前記可変容量ブロックとで構成される共振器を励振する能動素子回路とを具備する電圧制御発振器において、前記可変容量ブロックは、アナログ制御信号により連続的に容量が変化するアナログ可変容量ダイオードと、デジタル制御信号で制御されてオン時容量がオフ時容量の2倍になる複数のデジタル可変容量ダイオードとを並列接続した構成であることを特徴とする電圧制御発振器。

【請求項2】 前記デジタル可変容量ダイオードは、コンデンサとトランジスタスイッチとが直列接続された可変容量素子であることを特徴とする請求項1記載の電圧制御発振器。

【請求項3】 前記複数のデジタル可変容量ダイオードは、容量値の等しい第1、第2可変容量ダイオードと、容量値が前記第1、第2可変容量ダイオードの2倍である第3可変容量ダイオードと、容量値が前記第1、第2可変容量ダイオードの4倍である第4可変容量ダイオードとからなることを特徴とする請求項1記載の電圧制御発振器。

【請求項4】 前記複数のデジタル可変容量ダイオードは、容量値の等しい第1、第2可変容量ダイオードと、容量値が前記第1、第2可変容量ダイオードの2倍である第3可変容量ダイオードと、容量値が前記第1、第2可変容量ダイオードの4倍である第4可変容量ダイオードと、容量値が前記第1、第2可変容量ダイオードの8倍である第5可変容量ダイオードとからなることを特徴とする請求項1記載の電圧制御発振器。

【請求項5】 前記複数のデジタル可変容量ダイオードは、容量値の等しい第1、第2可変容量ダイオードと、容量値が前記第1、第2可変容量ダイオードのそれぞれ2倍 $\sim 2^{n-2}$ 倍である第3 $\sim$ 第n可変容量ダイオードとからなることを特徴とする請求項1記載の電圧制御発振器。

【請求項6】 前記共振器は、前記インダクタに前記可変容量ブロックが対称に接続された平衡型共振回路であり、前記能動素子回路は、前記共振器を差動で励振する回路であることを特徴とする請求項1記載の電圧制御発振器。

【請求項7】 アンテナと、電圧制御発振器を備えた送受信部と、通信制御部とを具備する通信装置において、前記電圧制御発振器は、インダクタと、前記インダクタに並列接続された可変容量ブロックと、前記インダクタと前記可変容量ブロックとで構成される共振器を励振する能動素子回路とを備え、前記可変容量ブロックは、アナログ制御信号により連続的に容量が変化するアナログ可変容量ダイオードと、デジタル制御信号で制御されてオン時容量がオフ時容量の2倍になる複数のデジタル可変容量ダイオードとを並列接続した構成であり、前記複

数のデジタル可変容量ダイオードは、容量値の等しい第1、第2可変容量ダイオードと、容量値が前記第1、第2可変容量ダイオードのそれぞれ2倍 $\sim 2^{n-2}$ 倍である第3 $\sim$ 第n可変容量ダイオードとからなることを特徴とする通信装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧制御発振器に関し、特に、広い範囲の発振周波数帯域が得られ、半導体集積回路に適した電圧制御発振器に関する。

【0002】

【従来の技術】従来の電圧制御発振器としては、米国特許第5648744号公報に記載された差動型の電圧制御発振器が知られている。図9は、この従来の電圧制御発振器の構成を示す回路図である。図9に示す電圧制御発振器は、インダクタ2と並列接続された可変容量ダイオードからなる共振器と、能動素子回路1とから構成されている。可変容量ダイオード3、9は、制御電圧V<sub>i</sub>によって容量値が連続的に変化する。可変容量ダイオード4 $\sim$ 7、10 $\sim$ 13には、それぞれスイッチが直列接続されている。制御信号b0 $\sim$ b3は、それぞれ各スイッチのオンオフ制御を行なう。可変容量ダイオード4、10の容量値はCであり、可変容量ダイオード5、11の容量値は2Cであり、可変容量ダイオード6、12の容量値は4Cであり、可変容量ダイオード7、13の容量値は8Cである。

【0003】次に、この電圧制御発振器の動作を説明する。図9に示す制御信号b0 $\sim$ b3は、4ビットの2進カウンタにより生成される。並列接続された可変容量ダイオード4 $\sim$ 7、あるいは可変容量ダイオード10 $\sim$ 13の総和容量値は、それぞれ直列接続されたスイッチがオン状態にあるものの和となる。図10に、可変容量ダイオード4 $\sim$ 7、あるいは可変容量ダイオード10 $\sim$ 13の総和容量値の、制御信号b0 $\sim$ b3に対する変化を示す。図10に示すように、制御信号b0 $\sim$ b3が1増加する変化に対し、可変容量ダイオードの総和容量値はCだけ変化する。可変容量ダイオード3の容量値をC<sub>0</sub>とし、可変容量ダイオード4 $\sim$ 7の総和容量値をC<sub>1</sub>とし、インダクタ2のインダクタンスをLとすると、電圧制御発振器の発振周波数は、式(1)で表される。

【0004】

【数1】

$$f = \frac{1}{2 \cdot \pi \sqrt{L \cdot (C_1 + C_0)}} \quad \dots \quad (1)$$

【0005】図11に、制御電圧V<sub>i</sub>に対する電圧制御発振器の発振周波数の変化を示す。制御信号に応じて総和容量C<sub>1</sub>が段階的に変化するために、発振周波数帯域も段階的に変化する。さらに、制御電圧V<sub>i</sub>によって可変容量ダイオード3の容量値C<sub>0</sub>が連続的に変化するために、発振周波数も変化する。このため、可変容量ダイ

オード3の容量値の変化比が小さい場合にも、総和容量値C1の段階的な変化により、発振周波数帯域がほぼ等間隔に段階的に変化して、広い範囲の発振周波数帯域が得られる。

【0006】集積化においては、可変容量ダイオード4～7、10～13にそれぞれ直列接続されたスイッチは、MOSトランジスタあるいはバイポーラトランジスタで構成する。このため、オフ状態においては完全に開放状態にはならず容量値が残り、制御信号b0～b3が1増加する変化に対し、可変容量ダイオードの総和容量値の変化はCではなく、 $C/2$ となる。よって、発振周波数の段階的な変化の間隔が一定ではなくなり、発振周波数の不連続が生じる可能性がある。発振周波数の不連続性を回避するために、制御ビット数を多くして、段階的な周波数変化の数を増やす方法がある。ビット数を多くするためには、並列接続された可変容量ダイオードを増やす必要があるが、可変容量ダイオードの総和容量値C1も増加する。式(1)から明らかなように、発振周波数を一定に保つためには、インダクタンスLを小さくする必要がある。すなわち、可変容量ダイオードのオフ状態の容量を無視できる程度にするために、オン状態の容量を十分大きくする必要があり、Cを一定以下にすることができない。そのため、インダクタンスLを小さくしなければならない。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の電圧制御発振器では、高周波帯の電圧制御発振器を構成する場合は、インダクタンスLの絶対値が非常に小さくなる。実際に構成できるインダクタンスの最小値には限界があり、高周波帯の電圧制御発振器を構成することが困難であるという問題があった。

【0008】本発明は、上記の問題を解決して、可変容量ダイオードの総和容量値C1を一定に保ったまま制御ビット数を容易に変更でき、発振周波数をほぼ等間隔に段階的に変化させることができ、連続した広い範囲の発振周波数帯域が得られる高周波帯の集積化電圧制御発振器を提供することを目的とする。

【0009】

【課題を解決するための手段】上記の課題を解決するために、本発明では、インダクタと、インダクタに並列接続された可変容量ブロックと、インダクタと可変容量ブロックとで構成される共振器を励振する能動素子回路とを具備する電圧制御発振器を、可変容量ブロックは、アナログ制御信号により連続的に容量が変化するアナログ可変容量ダイオードと、デジタル制御信号で制御されてオン時容量がオフ時容量の2倍になる複数のデジタル可変容量ダイオードとを並列接続した構成とした。このように構成したことにより、電圧制御発振器を集積化した場合に、発振周波数をほぼ等間隔に段階的に変化させることができる。また、デジタル可変容量ダイオードの総

和容量値C1を一定に保ったまま、デジタル制御信号のビット数を容易に変更することができる。

【0010】また、デジタル可変容量ダイオードを、コンデンサとトランジスタスイッチとが直列接続された可変容量素子とした。このように構成したことにより、トランジスタスイッチのオン時とオフ時の容量値の変化比を大きくとることができる。発振周波数の段階的な変化の間隔を広くとることができる。

【0011】また、複数のデジタル可変容量ダイオードを、容量値の等しい第1、第2可変容量ダイオードと、容量値が第1、第2可変容量ダイオードの2倍である第3可変容量ダイオードと、容量値が第1、第2可変容量ダイオードの4倍である第4可変容量ダイオードとした。このように構成したことにより、集積化において発振周波数をほぼ等間隔に段階的に変化させることができる。

【0012】また、共振器を、インダクタに可変容量ブロックが対称に接続された平衡型共振回路とし、能動素子回路を、共振器を差動で励振する回路とした。このように構成したことにより、差動の信号経路に混入した外来雑音は同相除去できる。このため、集積化において他の回路ブロック間の信号アイソレーションが確保できる。

【0013】また、アンテナと、電圧制御発振器を備えた送受信部と、通信制御部とを具備する通信装置を、電圧制御発振器は、インダクタと、インダクタに並列接続された可変容量ブロックと、インダクタと可変容量ブロックとで構成される共振器を励振する能動素子回路とを備え、可変容量ブロックは、アナログ制御信号により連続的に容量が変化するアナログ可変容量ダイオードと、デジタル制御信号で制御されてオン時容量がオフ時容量の2倍になる複数のデジタル可変容量ダイオードとを並列接続した構成であり、複数のデジタル可変容量ダイオードは、容量値の等しい第1、第2可変容量ダイオードと、容量値が第1、第2可変容量ダイオードのそれぞれ2倍～ $2^{n-2}$ 倍である第3～第n可変容量ダイオードとからなる構成とした。このように構成したことにより、集積化に好適な電圧制御発振器で、通信装置を小型化できる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について、図1～図8を参照しながら詳細に説明する。

【0015】(第1の実施の形態)本発明の第1の実施の形態は、オン時の容量がオフ時の容量の2倍となる可変容量ダイオードを4個並列に接続して4ビットの制御信号で総和容量値を制御する電圧制御発振器である。

【0016】図1は、本発明の第1の実施の形態における電圧制御発振器の構成を示す回路図である。図1において、能動素子回路1は、共振回路により発振を司るための帰還増幅器である。インダクタ2は、共振回路を構

成する誘導素子である。可変容量ダイオード3は、制御電圧V1によって容量値が連続的に変化する素子である。可変容量ダイオード4～7は、制御信号b0～b3によって容量値が変化する素子である。

【0017】この電圧制御発振器は、共振器と、能動素子回路1から構成されている。共振器は、インダクタ2と、インダクタ2に並列接続された可変容量ダイオードからなる。可変容量ダイオード5の容量値は、制御信号b0がHighのとき2Cであり、Lowのとき1Cである。可変容量ダイオード6の容量値は、制御信号b1がHighのとき4Cであり、Lowのとき2Cである。可変容量ダイオード7の容量値は、制御信号b2がHighのとき8Cであり、Lowのとき4Cである。可変容量ダイオード4の容量値は、制御信号b3がHighのとき2Cであり、Lowのとき1Cである。

【0018】図2は、可変容量ダイオード4～7の総和容量値の、制御信号b0～b3に対する変化を示す図である。図3は、電圧制御発振器の制御電圧V1に対する発振周波数の変化を示す図である。

【0019】上記のように構成された本発明の第1の実施の形態における電圧制御発振器の動作を説明する。図1に示す制御信号b0～b3は、4ビットの2進カウンタにより生成される。この4ビットカウンタは、MSBへの桁上がりが生じた時には、すべてのビットを1とするように動作するものである。

【0020】並列接続された可変容量ダイオード4～7の総和容量値は、それぞれの制御信号がHighまたはLow時の容量の和となる。図2に、可変容量ダイオード4～7の総和容量値の制御信号b0～b3に対する変化を示す。図2に示すように、制御信号b0～b3が1増加する変化に対し、可変容量ダイオードの総和容量値は1Cだけ変化する。可変容量ダイオード3の容量値をC0とし、コンデンサ30の容量値をCcとし、可変容量ダイオード4～7の総和容量値をC1とし、インダクタ2のインダクタンスをLとすると、電圧制御発振器の発振周波数は、式(2)で表される。デカップリングコンデンサの容量は十分大きいので、その影響は無視できる。

【0021】

【数2】

$$f = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot (C1 + \frac{C0 \cdot Cc}{C0 + Cc})}} \quad \dots (2)$$

【0022】図3の実線は、図1に示す電圧制御発振器の制御電圧V1に対する発振周波数の変化を示すものである。制御信号に応じて総和容量C1が段階的に変化するために、発振周波数帯域も段階的に変化する。さらに、制御電圧V1によって可変容量ダイオード3の容量値C0が連続的に変化するために、発振周波数が変化する。

【0023】上記のように、本発明の第1の実施の形態では、電圧制御発振器を、オン時の容量がオフ時の容量の2倍となる可変容量ダイオードを4個並列に接続して4ビットの制御信号で総和容量値を制御する構成としたので、集積化した電圧制御発振器において発振周波数をほぼ等間隔に段階的に変化させることができる。

【0024】(第2の実施の形態) 本発明の第2の実施の形態は、オン時の容量がオフ時の容量の2倍となる可変容量ダイオードを5個並列に接続して5ビットの制御信号で総和容量値を制御する電圧制御発振器である。

【0025】図4は、本発明の第2の実施の形態における電圧制御発振器の構成を示す回路図である。図4において、可変容量ダイオード5～7、41、42は、制御信号b0～b4によって容量値が変化する素子である。可変容量ダイオード42の容量値は、制御信号b0がHighのとき1Cであり、Lowのとき0.5Cである。可変容量ダイオード5の容量値は、制御信号b1がHighのとき2Cであり、Lowのとき1Cである。可変容量ダイオード6の容量値は、制御信号b2がHighのとき4Cであり、Lowのとき2Cである。可変容量ダイオード7の容量値は、制御信号b3がHighのとき8Cであり、Lowのとき4Cである。可変容量ダイオード41の容量値は、制御信号b4がHighのとき1Cであり、Lowのとき0.5Cである。可変容量ダイオード41、42は、図1に示す可変容量ダイオード4を2等分したものである。このため、可変容量ダイオードの総和容量値C1は、図1の場合と同じである。

【0026】図5は、可変容量ダイオード5～7、41、42の総和容量値の、制御信号b0～b4に対する変化を示す図である。

【0027】上記のように構成された本発明の第2の実施の形態における電圧制御発振器の動作を説明する。図4に示す電圧制御発振器の動作は、図1に示した回路と基本的に同じである。図5に、可変容量ダイオード5～7、41、42の総和容量値の、制御信号b0～b4に対する変化を示す。図5に示すように、制御信号b0～b4が1増加する変化に対し、可変容量ダイオードの総和容量値は0.5Cだけ変化する。

【0028】図3の実線と点線は、図4に示す電圧制御発振器の制御電圧V1に対する発振周波数の変化を示すものである。図3から明らかに、図1に示す電圧制御発振器の発振周波数の変化を示す実線の間を補完するように、点線で示す発振周波数の変化が加えられていることが分かる。このため、可変容量ダイオード3の容量値の変化比が小さい場合にも、可変容量ダイオードの総和容量値C1を一定に保ったまま、発振周波数の段階的な変化の間隔を狭くすることができる。そのため、発振周波数の不連続がない広い範囲の発振周波数帯域が得られる。

【0029】可変容量ダイオードをさらに増やすことも可能である。容量値の等しい第1、第2可変容量ダイオ

ードと、容量値が第1、第2可変容量ダイオードのそれぞれ2倍～ $2^{n-2}$ 倍である第3～第n可変容量ダイオードとで構成すれば、発振周波数の段階的な変化の間隔をさらに狭くすることができる。

【0030】上記のように、本発明の第2の実施の形態では、電圧制御発振器を、オン時の容量がオフ時の容量の2倍となる可変容量ダイオードを5個並列に接続して5ビットの制御信号で総和容量値を制御する構成としたので、可変容量ダイオードの総和容量値C1を一定に保ったまま制御ビット数を増加して、発振周波数の間隔を狭くすることができる。

【0031】（第3の実施の形態）本発明の第3の実施の形態は、コンデンサとトランジスタスイッチを直列接続して、オン時の容量がオフ時の容量の2倍となる可変容量ダイオードを構成し、可変容量ダイオードを4個並列に接続して、4ビットの制御信号で総和容量値を制御する電圧制御発振器である。

【0032】図6は、本発明の第3の実施の形態における電圧制御発振器の構成を示す回路図である。図6において、コンデンサ14～17は、オン時の容量を決める固定容量素子である。トランジスタスイッチ20～23は、MOSトランジスタで構成したスイッチである。バイポーラトランジスタで構成したスイッチでもよい。

【0033】上記のように構成された本発明の第3の実施の形態における電圧制御発振器の動作を説明する。図6に示すコンデンサ14～17は、それぞれトランジスタスイッチ20～23と直列接続されている。制御信号b0～b3は、それぞれトランジスタスイッチのオンオフ制御を行なう。コンデンサ14、15の容量値は2Cであり、コンデンサ16の容量値は4Cであり、コンデンサ17の容量値は8Cである。

【0034】トランジスタスイッチ20のサイズを1とすると、トランジスタスイッチ21のサイズは1であり、トランジスタスイッチ22のサイズは2であり、トランジスタスイッチ23のサイズは4である。トランジスタスイッチのサイズ比は、トランジスタがオフの状態にもつ容量成分の値の比となる。また、それぞれのコンデンサと直列接続されたトランジスタスイッチの容量値は、トランジスタスイッチがオンの状態では、コンデンサの容量値となり、トランジスタがオフの状態では、トランジスタスイッチのもつ容量成分の値となる。トランジスタスイッチ20、21のオフ状態での容量値を1Cとすると、トランジスタスイッチ22のオフ状態での容量値は2Cとなり、トランジスタスイッチ23のオフ状態での容量値を4Cとなる。

【0035】すなわち、トランジスタスイッチのオンオフにより、それぞれの容量値は、図1または図4の可変容量ダイオードの動作による変化と同様に变化する。そのため、制御信号b0～b3により発振周波数の段階的な変化が可能となり、図1の電圧制御発振器と同様の動作

をする。さらに、トランジスタのオフ状態にもつ容量成分を調整することにより、制御信号が1増加する変化に対する発振周波数の変化の間隔を調整することができる。

【0036】上記のように、本発明の第3の実施の形態では、電圧制御発振器を、コンデンサとトランジスタスイッチを直列接続して、オン時の容量がオフ時の容量の2倍となる可変容量ダイオードを構成し、可変容量ダイオードを4個並列に接続して、4ビットの制御信号で総和容量値を制御する構成としたので、トランジスタスイッチのオン時とオフ時の容量値の変化比を大きくとることができ、発振周波数の段階的な変化の間隔を広くとることができる。

【0037】（第4の実施の形態）本発明の第4の実施の形態は、共振器と能動素子回路を差動構成とした電圧制御発振器である。

【0038】図7は、本発明の第4の実施の形態における電圧制御発振器の構成を示す回路図である。図7において、可変容量ダイオード4～7、10～13は、制御信号b0～b3によって容量値が変化する素子である。可変容量ダイオード9は、制御電圧V1によって容量値が連続的に変化する素子である。

【0039】発振周波数の変化動作は、図1に示した電圧制御発振器と同様である。可変容量ダイオード4～7の総和容量値の制御信号b0～b3に対する変化は、図2に示すものと同じである。電圧制御発振器の制御電圧V1に対する発振周波数の変化は、図3の実線に示すものと同じである。

【0040】共振器と能動素子回路を差動構成としたので、差動の信号経路に混入した外来雑音は同相除去できる。このため、集積化において、他の回路ブロック間とのアイソレーションが確保できる。

【0041】上記のように、本発明の第4の実施の形態では、電圧制御発振器を、共振器と能動素子回路を差動構成としたので、差動の信号経路に混入した外来雑音を同相除去できるため、集積化において他の回路ブロック間との信号アイソレーションが確保できる。

【0042】（第5の実施の形態）本発明の第5の実施の形態は、オン時の容量がオフ時の容量の2倍となる可変容量ダイオードを並列に接続して制御信号で総和容量値を制御する電圧制御発振器を使用したPLL回路である。

【0043】図8は、本発明の第5の実施の形態におけるPLL回路の構成を示す機能ブロック図である。PLL回路は、電圧制御発振器52と、分周器53と、位相比較器50と、ローパスフィルタ51と、位相検出器54と、逆カウンタ55から構成されている。図8において、電圧制御発振器52は、第1～4の実施の形態で示した電圧制御発振器である。分周器53は、電圧制御発振器52の出力信号を分周する回路である。位相比較器50は、分周器53で

分周した信号 ( $f_{div}$ ) と基準信号 ( $f_{ref}$ ) との位相を比較して、位相差信号を出力する回路である。ローパスフィルタ51は、位相比較器50の出力信号を平均化する回路である。位相検出器54は、位相比較器50の出力信号に基づいて周波数差を検出する回路である。2進カウンタ55は、2進のアップダウンカウンタである。

【0044】上記のように構成された本発明の第5の実施の形態におけるPLL回路の動作を説明する。図8に示すPLL回路の初期状態では、制御電圧 $V_i$ を固定する。電圧制御発振器52は、制御電圧 $V_i$ の初期値に応じた周波数の信号を出力する。分周器53は、電圧制御発振器52の出力信号を分周する。また、位相比較器50は、分周器53で分周した信号 ( $f_{div}$ ) と基準信号 ( $f_{ref}$ ) との位相を比較して、位相差信号を出力する。

【0045】位相検出器54は、位相比較器50の出力信号を基に、周波数差を検出する。この時、位相差の検出精度は、電圧制御発振器52の制御電圧が1だけ変化するときの周波数変化間隔とする。位相検出器54の検出した周波数差信号により、2進カウンタ55をカウントアップまたはカウントダウンして、周波数差が最も少なくなるように制御電圧を変化させる。

【0046】次に、周波数差が最も少なくなる制御電圧のビット状態を固定し、位相比較器50の出力信号をローパスフィルタ51で平均化した制御電圧 $V_i$ により、電圧制御発振器の出力信号周波数を制御する。PLL回路は、 $f_{div}$ と $f_{ref}$ の周波数および位相が一致したところで安定し、電圧制御発振器52より一定周波数の出力信号を得る。この動作により、初めに電圧制御発振器の出力信号周波数を段階的に変化させ、所望の発振周波数に近づけた状態で、制御電圧 $V_i$ により安定した状態に引き込むために、PLL回路のロックアップ時間を短くできる。

【0047】上記のように、本発明の第5の実施の形態では、PLL回路を、オン時の容量がオフ時の容量の2倍となる可変容量ダイオードを並列に接続して制御電圧で総和容量値を制御する電圧制御発振器を使用した構成としたので、集積化に好適な電圧制御発振器で、通信装置を小型化できる。

【0048】

【発明の効果】以上の説明から明らかなように、本発明では、インダクタと、インダクタに並列接続された可変容量ブロックと、インダクタと可変容量ブロックとで構成される共振器を励振する能動素子回路とを具備する電圧制御発振器を、可変容量ブロックは、アナログ制御電圧により連続的に容量が変化するアナログ可変容量ダイオードと、デジタル制御電圧で制御されてオン時容量がオフ時容量の2倍になる複数のデジタル可変容量ダイオードとを並列接続した構成としたので、電圧制御発振器を集積化した場合に、発振周波数をほぼ等間隔に段階的に変化させることができるとともに、デジタル可変容量

ダイオードの総和容量値 $C_i$ を一定に保ったまま、デジタル制御電圧のビット数を容易に変更することができるという効果が得られる。

【0049】また、デジタル可変容量ダイオードを、コンデンサとトランジスタスイッチとが直列接続された可変容量素子としたので、トランジスタスイッチのオン時とオフ時の容量値の変化比を大きくとることができ、発振周波数の段階的な変化の間隔を広くとることができるといふ効果が得られる。

【0050】また、複数のデジタル可変容量ダイオードを、容量値の等しい第1、第2可変容量ダイオードと、容量値が第1、第2可変容量ダイオードの2倍である第3可変容量ダイオードと、容量値が第1、第2可変容量ダイオードの4倍である第4可変容量ダイオードとしたので、集積化において発振周波数をほぼ等間隔に段階的に変化させることができるといふ効果が得られる。

【0051】また、共振器を、インダクタに可変容量ブロックが対称に接続された平衡型共振回路とし、能動素子回路を、共振器を差動で励振する回路としたので、差動の信号経路に混入した外来雑音は同相除去でき、集積化において他の回路ブロック間との信号アイソレーションが確保できるという効果が得られる。

【0052】また、アンテナと、電圧制御発振器を備えた送受信部と、通信制御部とを具備する通信装置を、電圧制御発振器は、インダクタと、インダクタに並列接続された可変容量ブロックと、インダクタと可変容量ブロックとで構成される共振器を励振する能動素子回路とを備え、可変容量ブロックは、アナログ制御電圧により連続的に容量が変化するアナログ可変容量ダイオードと、デジタル制御電圧で制御されてオン時容量がオフ時容量の2倍になる複数のデジタル可変容量ダイオードとを並列接続した構成であり、複数のデジタル可変容量ダイオードは、容量値の等しい第1、第2可変容量ダイオードと、容量値が第1、第2可変容量ダイオードのそれぞれ2倍～ $2^{n-1}$ 倍である第3～第 $n$ 可変容量ダイオードとからなる構成としたので、集積化に好適な電圧制御発振器で、通信装置を小型化できるといふ効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における電圧制御発振器の構成を示す回路図。

【図2】本発明の第1、4の実施の形態における電圧制御発振器の制御電圧に対する $C_i$ の変化を示す図。

【図3】本発明の第1、2、4の実施の形態における電圧制御発振器の制御電圧 $V_i$ に対する発振周波数の変化を示す図。

【図4】本発明の第2の実施の形態における電圧制御発振器の構成を示す回路図。

【図5】本発明の第2の実施の形態における電圧制御発振器の制御電圧に対する $C_i$ の変化を示す図。

【図6】本発明の第3の実施の形態における電圧制御発振器の構成を示す回路図。

(7)

振器の構成を示す回路図、

【図7】本発明の第4の実施の形態における電圧制御発振器の構成を示す回路図、

【図8】本発明の第5の実施の形態におけるPLL回路の構成を示す機能ブロック図、

【図9】従来の電圧制御発振器の構成を示す回路図、

【図10】従来の電圧制御発振器の制御信号に対するCtの変化を示す図、

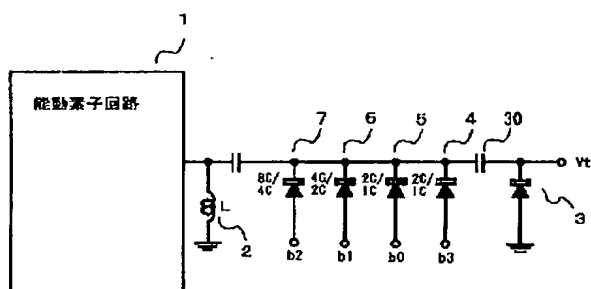
【図11】従来の電圧制御発振器の制御電圧Vtに対する発振周波数の変化を示す図である。

【符号の説明】

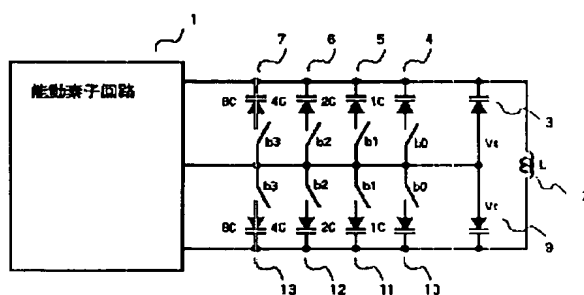
- 1 能動素子回路  
2 インダクタ

- 3～7 可変容量ダイオード  
9～13 可変容量ダイオード  
14～17 コンデンサ  
20～23 トランジスタスイッチ  
50 位相比較器  
51 ローパスフィルタ  
52 電圧制御発振器  
53 分周器  
54 位相検出器  
Vt 外部制御電圧  
fref 基準信号  
fdiv 分周信号

【図1】



【図9】



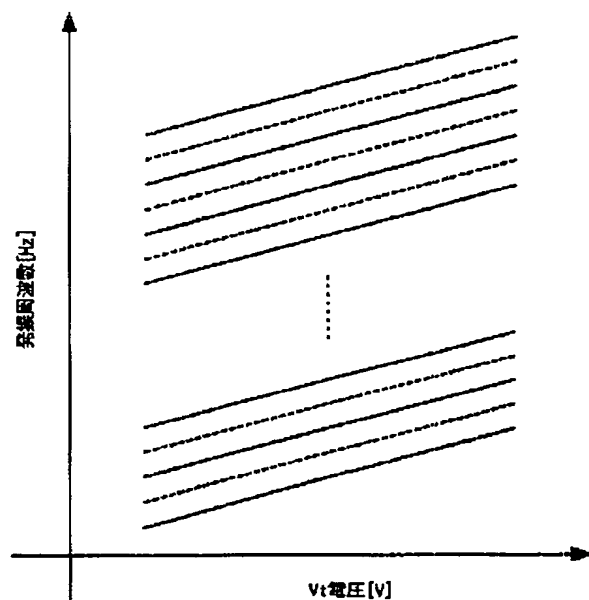
【図2】

制御信号				総和容量値
b3	b2	b1	b0	Ct
0	0	0	0	8C
0	0	0	1	9C
0	0	1	0	10C
0	0	1	1	11C
0	1	0	0	12C
0	1	0	1	13C
0	1	1	0	14C
0	1	1	1	15C
1	1	1	1	16C

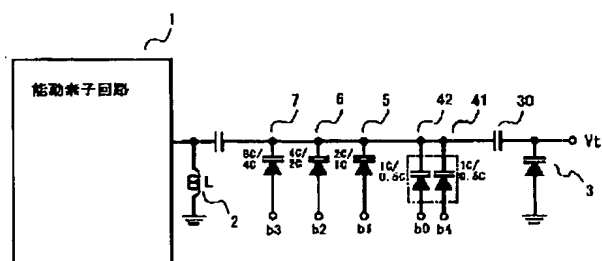


(8)

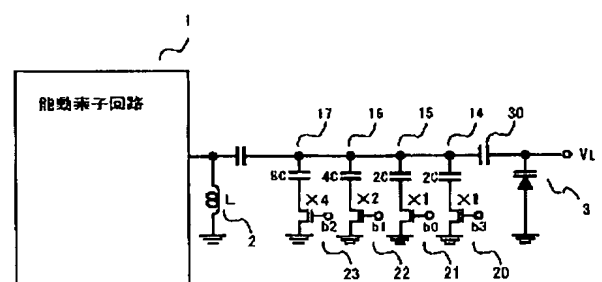
【図3】



【図4】



【図6】

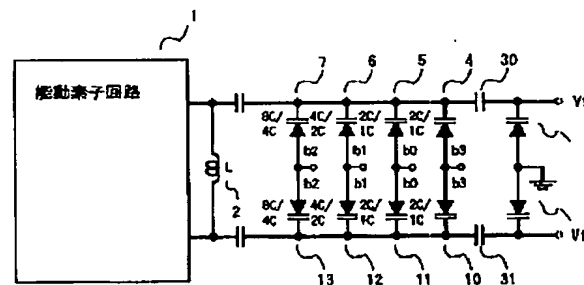


(9)

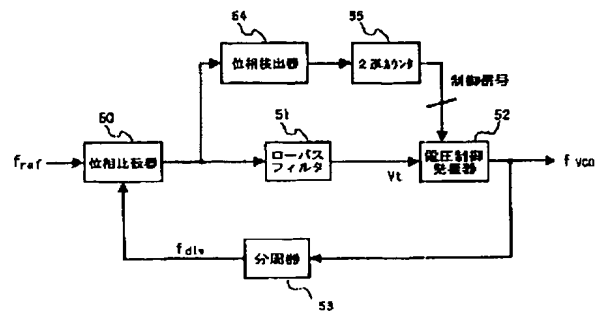
【図5】

制御信号					総和容量値
b4	b3	b2	b1	b0	Ct
0	0	0	0	0	8.0C
0	0	0	0	1	8.5C
0	0	0	1	0	9.0C
0	0	0	1	1	9.5C
0	0	1	0	0	10.0C
0	0	1	0	1	10.5C
0	0	1	1	0	11.0C
0	0	1	1	1	11.5C
0	1	0	0	0	12.0C
0	1	0	0	1	12.5C
0	1	0	1	0	13.0C
0	1	0	1	1	13.5C
0	1	1	0	0	14.0C
0	1	1	0	1	14.5C
0	1	1	1	0	15.0C
0	1	1	1	1	15.5C
1	1	1	1	1	16.0C

【図7】



【図8】



【図10】

制御信号				総和容量値
b3	b2	b1	b0	Ct
0	0	0	0	0
0	0	0	1	1C
0	0	1	0	2C
0	0	1	1	3C
0	1	0	0	4C
0	1	0	1	5C
0	1	1	0	6C
0	1	1	1	7C
1	0	0	0	8C
1	0	0	1	9C
1	0	1	0	10C
1	0	1	1	11C
1	1	0	0	12C
1	1	0	1	13C
1	1	1	0	14C
1	1	1	1	15C

【図11】

